

(11)Publication number : 04-004677
(43)Date of publication of application : 09.01.1992

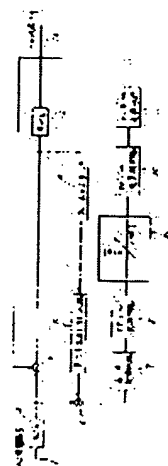
H04N 5/21

(71)Applicant : **MATSUSHITA ELECTRIC IND CO LTD**

(72)Inventor : **NAKAJIMA YUKIKO**

(57)Abstract:

CONSTITUTION: An output level proportional to an input level with a proportion constant $i(i>0)$ is outputted from the title device up to a prescribed input level, almost a prescribed value A or an output proportional to an input signal with a proportion constant $c(i\>verbar;c\>verbar;>0)$ is outputted with respect to an input level being a reference level (a) or below, and almost a prescribed value B or an output proportional to an input signal with a proportion constant $d(i\>verbar;d\>verbar;>0)$ is outputted with respect to an input level being a reference level (b) or over. Thus, fog of edges due to after-image is eliminated and no noise flicker is caused at the edge.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

900423

Applic (No,Kind,Date): US 690252 A 910423

National Class: * 358105000; 358167000

IPC: * H04N-005/21

Derwent WPI Acc No: * G 92-060340; G 92-060341

JAPIO Reference No: * 160150E000025

Language of Document: English

UNITED STATES OF AMERICA (US)

Legal Status (No,Type,Date,Code,Text):

US 5247354	P	900423	US AA	PRIORITY (PATENT)
			JP 90106758	A 900423
US 5247354	P	900423	US AA	PRIORITY (PATENT)
			JP 90106759	A 900423
US 5247354	P	910423	US AE	APPLICATION DATA (PATENT)
			(APPL. DATA (PATENT))	
			US 690252	A 910423
US 5247354	P	910604	US AS02	ASSIGNMENT OF ASSIGNOR'S
			INTEREST	
			MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.	
			1006, OAZA KADOMA, KADOMA-SHI, OSAKA-FU ;	
			NAKAJIMA, YUKIKO : 19910524	
US 5247354	P.	930921	US A	PATENT

?

6/39/1

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

10314009

Basic Patent (No,Kind,Date): JP 4004676 A2 920109 <No. of Patents: 005>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4004676	A2	920109	JP 90106758	A	900423	(BASIC)
JP 4004677	A2	920109	JP 90106759	A	900423	
JP 2573718	B2	970122	JP 90106758	A	900423	
JP 2573719	B2	970122	JP 90106759	A	900423	
US 5247354	A	930921	US 690252	A	910423	

Priority Data (No,Kind,Date):

JP 90106758 A 900423
JP 90106759 A 900423

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 4004676 A2 920109
NOISE REDUCTION DEVICE (English)
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD
Author (Inventor): NAKAJIMA YUKIKO
Priority (No,Kind,Date): JP 90106758 A 900423
Applic (No,Kind,Date): JP 90106758 A 900423
IPC: * H04N-005/21; H04N-009/64
Derwent WPI Acc No: ; G 92-060340
JAPIO Reference No: ; 160150E000025
Language of Document: Japanese

Patent (No,Kind,Date): JP 4004677 A2 920109
NOISE REDUCTION DEVICE (English)
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD
Author (Inventor): NAKAJIMA YUKIKO
Priority (No,Kind,Date): JP 90106759 A 900423
Applic (No,Kind,Date): JP 90106759 A 900423
IPC: * H04N-005/21
Derwent WPI Acc No: ; G 92-060341
JAPIO Reference No: ; 160150E000025
Language of Document: Japanese

Patent (No,Kind,Date): JP 2573718 B2 970122
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD
Author (Inventor): NAKAJIMA YUKIKO
Priority (No,Kind,Date): JP 90106758 A 900423
Applic (No,Kind,Date): JP 90106758 A 900423
IPC: * H04N-005/21
Language of Document: Japanese

Patent (No,Kind,Date): JP 2573719 B2 970122
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD
Author (Inventor): NAKAJIMA YUKIKO
Priority (No,Kind,Date): JP 90106759 A 900423
Applic (No,Kind,Date): JP 90106759 A 900423
IPC: * H04N-005/21
Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 5247354 A 930921
NOISE REDUCING APPARATUS FOR REDUCING NOISE IN MOVING VIDEO IMAGE
SIGNALS (English)
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD (JP)
Author (Inventor): NAKAJIMA YUKIKO (JP)
Priority (No,Kind,Date): JP 90106758 A 900423; JP 90106759 A

⑫ 公開特許公報(A)

平4-4677

⑤Int.Cl.⁵

H 04 N 5/21

識別記号

B

庁内整理番号

8220-5C

⑬公開 平成4年(1992)1月9日

審査請求 未請求 請求項の数 2 (全9頁)

⑭発明の名称 ノイズ低減装置

⑰特 願 平2-106759

⑱出 願 平2(1990)4月23日

⑲発 明 者 中 島 由 記 子

⑳出 願 人 松下電器産業株式会社

㉑代 理 人 弁理士 森 本 義 弘

大阪府門真市大字門真1006番地 松下電器産業株式会社内
大阪府門真市大字門真1006番地

明 細 書

1. 発明の名称

ノイズ低減装置

2. 特許請求の範囲

1. 入力映像信号と n ($n > 0$: 但し n は整数)

フィールド遅延手段の出力信号との差成分をとる第1の減算手段と、この第1の減算手段の出力信号の特徴成分を抽出する特徴抽出手段と、前記特徴抽出手段の出力からノイズ成分を取り出す非線形処理手段と、前記非線形処理手段の出力と入力映像信号との差信号を得る第2の減算手段とを備え、前記 n フィールド遅延手段は前記第2の減算手段の出力を n フィールド分遅延するとともに、前記非線形処理手段は入力信号が基準レベル a ($a > 0$) 以下でかつ基準レベル b ($b < 0$) 以上のときは入力信号に対して比例定数 i (但し、 $i > 0$) で比例する出力信号を出力し、入力信号が基準レベル a 以上のときは略一定値 A を出力し、入力信号が基準レベル b 以下のと

きは、略一定値 B を出力するように構成されたノイズ低減装置。

2. 入力映像信号と n ($n > 0$: 但し n は整数フィールド遅延手段の出力信号との差成分をとる第1の減算手段と、この第1の減算手段の出力を複数 (N 個 ($N \neq 1$)) の特徴成分に分解抽出する特徴抽出手段と、前記特徴抽出手段の複数の特徴成分出力毎からノイズ成分を取り出す複数の非線形処理手段を有する非線形処理群と、前記非線形処理群からの出力と入力映像信号との差信号を得る第2の減算手段とを備え、前記 n フィールド遅延手段は前記第2の減算手段の出力を n フィールド分遅延するとともに、前記非線形処理群は各々の非線形処理手段の入力信号が基準レベル a_n ($a_n > 0$) 以下で、かつ基準レベル b_n ($b_n < 0$) 以上のときは入力信号に対して比例定数 i_n (但し、 $i_n > 0$) で比例する出力信号を出力し、入力信号が基準レベル a_n 以上のときは略一定値 A_n を出力し、入力信号が基準レ

レベル b_n 以下のときは略一定値 B_n を出力し、かつ前記各々の非線形処理手段の基準レベル a_n 、 b_n 、比例定数 i_n 、略一定値 A_n 、 B_n が複数の非線形処理手段毎に少なくとも1つが異なるように構成されたノイズ低減装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、テレビジョン、ビデオ、ビデオカメラ等の映像信号のフィールド相関あるいはフレーム相関を利用することによって、動きのある画像においても残像特性を劣化させずにノイズを低減する装置に関するもので、さらに詳しくは、この系で用いる非線形処理方法の最適値を提供することで入力画像の動き時のエッジ部に現れるノイズに対して最良のノイズ低減を行うことのできるノイズ低減装置に関するものである。

従来の技術

従来のノイズ低減装置としては、たとえば特開昭61-158574号公報に示されているようなものが知られている。

出すアダマール変換回路である。アダマール変換回路8の出力はノイズ成分と動き成分の分布が異なり、9はそのことを利用してノイズ成分を抽出する非線形処理回路である。10はアダマール逆変換回路であり、非線形処理回路9から抽出されたノイズ信号はアダマール変換されて得られたものであるから、アダマール逆変換することにより元の時間軸に戻す。11は並列デジタル信号を元の直列デジタル信号に戻す並列-直列変換回路、12は減算回路3から出力されるデジタル信号をアナログ信号に変換するD/A変換器である。

このように構成された従来のノイズ低減装置において、その動作を説明する。入力端子1から映像信号が入力するとA/D変換器2でデジタル信号に変換され、このデジタル信号は減算回路3を通ることにより後述の非相関成分が減算され、理想的にはノイズ成分を含まない映像信号成分となり、フレームメモリ4にストアされ、1フレームの間遅延される。この1フレーム分遅延した映像信号は、1フレーム信号とは色信号の位相が反

第5図は従来のノイズ低減装置を示すブロック図である。第5図において、1は映像信号の入力端子、2は入力映像信号をアナログ信号からデジタル信号に変換するA/D変換器、3は一方の入力信号の入力映像信号から他方の入力信号のノイズ信号を減算する減算回路、4は入力映像信号からノイズを低減した減算回路3の出力信号を1フレーム遅延させるフレームメモリである。NTSCカラー映像信号の色信号は1フレーム毎に位相反転しているが、5はこれを補償するための色信号位相シフト回路であり、フレームメモリ4で遅延された映像信号の色信号のみを位相反転する。6は入力映像信号と1フレーム遅延した映像信号とを減算して差のフレーム差信号を得る減算回路、7は減算回路6の出力であるフレーム差信号を直列デジタル信号から並列デジタル信号に変換する直列-並列変換回路、8は直列-並列変換回路7からの出力の並列デジタル信号に直行変換であるアダマール変換を施し、フレーム差信号から縦方向成分、横方向成分、斜め方向成分を取り

転しているため、色信号位相シフト回路5によって位相補償され色信号の位相のみが反転させられた後、減算回路6によりクロマ位相が等しい2つの映像信号の差のフレーム差信号が得られる。本来、入力映像信号が静止画であるとき、このフレーム差信号はノイズ成分そのものとなり、以下に説明する回路を必要とせずノイズ抽出ができる。しかし、入力映像信号が動きのある画像であるときこのフレーム差信号は、フレーム相関のない信号成分とノイズ成分とが合わさった信号となる。

次に、このフレーム差信号からノイズ成分のみを得る方法について述べる。このフレーム差信号は直列-並列変換回路7により直列デジタル信号から並列デジタル信号に変換され、アダマール変換回路8で低域成分、縦方向成分、横方向成分などの信号として特徴をよく表わす成分に分けられる。いま、アダマール変換の変換次数は 4×2 次の2次元アダマール変換がなされているとする。この場合、入力の1パターン検査は第6図に示すようになり、入力は、

$$X_{24} = \begin{vmatrix} x_{00} & x_{01} & x_{02} & x_{03} \\ x_{10} & x_{11} & x_{12} & x_{13} \end{vmatrix}$$

となる。2×4次のアダマール変換の変換出力を F_{24} とする。

$$F_{24} = \begin{vmatrix} F_{00} & F_{01} & F_{02} & F_{03} \\ F_{10} & F_{11} & F_{12} & F_{13} \end{vmatrix}$$

$$F_{24} = H_2 \cdot X_{24} \cdot H_4$$

上式により、4×2次の入力絵素 X_{24} からアダマール変換の出力 F_{24} が得られる。 H_2 、 H_4 は下記の通りである。

$$H_2 = \begin{vmatrix} +1 & +1 \\ +1 & -1 \end{vmatrix}$$

$$H_4 = \begin{vmatrix} +1 & +1 & +1 & +1 \\ +1 & -1 & +1 & -1 \\ +1 & +1 & -1 & -1 \\ +1 & -1 & -1 & +1 \end{vmatrix}$$

アダマール変換回路8からの出力は8成分の変換出力となる。一方、ノイズは相関性を持たないので、アダマール変換回路8の出力の8成分の周波数にはほぼ均等に分散する。このアダマール変換回路8の出力におけるノイズレベルは、周知の如

ノイズ低減を行うことが出来る可能性を有している。

発明が解決しようとする課題

従来例で述べたノイズ低減装置は、原理的には、映像信号入力、静止画ではもちろん動画においても残像を出さずにノイズ低減することができる。

しかしながら、その非線形処理の処理方法によって視覚的にS/N改善効果およびエッジ部の残像特性が大きく異なることになり、これまでは、このような非線形特性の最適特性が提案されていなかった。

本発明はかかる点を改良するもので、従来例で述べたノイズ低減装置の非線形処理方法の最適特性を提供することにより、残像特性の劣化が小さく、しかもS/N改善効果の大きいノイズ低減装置を提供することを目的とするものである。

課題を解決するための手段

上記課題を解決するために、本発明のノイズ低減装置は、入力映像信号と n ($n > 0$: 但し n は整数) フィールド遅延手段の出力信号との差成分

く入力信号のノイズレベルに対応するものであるから、非線形処理回路9を通して、これらの各成分から小レベルのノイズ成分のみを取り出すことができる。この非線形処理回路9により抽出された各成分はアダマール変換により得られたものであるから、アダマール逆変換回路10を通すことにより元の時間軸に戻され、並列ディジタルノイズ信号が得られる。そして、並列-直列変換回路11では並列ディジタルノイズ信号を入力形態と同様の直列ディジタル信号にする。ここで得た信号はフレーム相関をもたないフレーム差信号からノイズ成分だけを抽出したもので、前述したように減算回路3に供給され、入力映像信号からノイズ成分を引くことによりノイズのないディジタル映像信号が得られることになる。最後に、A/D変換器12でディジタル映像信号が元のアナログ信号に変換されて出力される。

このような方法によるノイズ低減装置は、原理的には映像信号入力における静止画ではもちろん、動画においても入力映像をそれほど劣化させずに

をとる第1の減算手段と、この第1の減算手段の出力信号の特徴成分を抽出する特徴抽出手段と、前記特徴抽出手段の出力からノイズ成分を取り出す非線形処理手段と、前記非線形処理手段の出力と入力映像信号との差信号を得る第2の減算手段とを備え、前記 n フィールド遅延手段は前記第2の減算手段の出力を n フィールド分遅延するとともに、前記非線形処理手段は入力信号が基準レベル a ($a > 0$) 以下でかつ基準レベル b ($b < 0$) 以上のときは入力信号に対して比例定数 i (但し、 $i > 0$) で比例する出力信号を出力し、入力信号が基準レベル a 以上のときは略一定値 A を出力し、入力信号が基準レベル b 以下のときは略一定値 B を出力するように構成されたものである。

また、本発明のノイズ低減装置は、特徴抽出手段が第1の減算手段出力を複数の特徴成分に分解抽出するように構成されるとともに、前記特徴抽出手段の複数の特徴成分出力毎からノイズ成分を取り出す複数の非線形処理手段を有する非線形処理群を設け、この非線形処理群は各々の非線形処

理手段の入力信号が基準レベル a_n ($a_n > 0$) 以下でかつ基準レベル b_n ($b_n < 0$) 以上のときは入力信号に対して比例定数 i_n (但し、 $i_n > 0$) で比例する出力信号を出力し、入力信号が基準レベル a_n 以上のときは略一定値 A_n を出力し、入力信号が基準レベル b_n 以下のときは略一定値 B_n を出力し、かつ前記各々の非線形処理手段の基準レベル a_n , b_n 、比例定数 i_n 、略一定値 A_n , B_n が複数の非線形処理手段毎に少なくとも1つが異なるように構成されたものである。

作 用

上記構成により、特徴抽出回路の出力に非線形処理を行う非線形処理方法が、入力信号が基準レベル a ($a > 0$) 以下でかつ基準レベル b ($b < 0$) 以上では比例定数 i で比例する出力信号を出力し(但し、 $i > 0$)、基準レベル a 以上では略一定値 A_n を出力し、あるいは基準レベル b 以下では略一定 B_n を出力する最適の非線形特性を有する非処理回路で行われるため、残像劣化が少なく、かつ S/N 改善効果の大きいノイズ低減を行うこと

含まない映像信号となる。この映像信号成分はフレームメモリ4にストアされ、1フレームの間遅延される。NTSC カラー映像信号の色信号は1フレーム毎に位相反転しているためこれを色信号位相シフト回路5で補償し、フレームメモリ4で遅延された映像信号の色信号のみを位相反転する。減算回路6により2つの映像信号の差のフレーム差信号が得られる。このフレーム差信号はフレーム相関のない信号成分(つまり動き成分)とノイズ成分とが合わさった信号である。このフレーム差信号は直列-並列変換回路7により直列デジタル信号から並列デジタル信号に変換され、信号特徴抽出手段であるアダマール変換回路8は、このフレーム差信号を低域周波数成分、縦方向周波数成分、横方向周波数成分などの特徴を表わす信号成分に分ける。この各々の成分はノイズ成分と動き成分であるから、非線形処理回路21を通すことによりこれらの各成分から小レベルのノイズ成分のみを取り出すことができる。そして、この非線形処理回路21より抽出された各成分はアダマ

ができる。

実施例

以下本発明の一実施例を図面に基づいて説明する。

第1図は本発明の第1の実施例におけるノイズ低減装置のブロック図を示す。第1図において、第5図と同一符号を付したものは、第5図と同じであり、同一の働きをする。21はアダマール変換からの出力に対して非線形処理を最適特性の形で行う非線形処理回路であり、従来の非線形処理回路9の代りに、アダマール変換回路8とアダマール逆変換回路10の間に介装されて使用されている。

このように構成された第1の実施例のノイズ低減装置について、以下その動作を説明する。入力端子1から映像信号が入力されると、A/D変換器2により $4f_{sc}$ ($3f_{sc}$ の場合も考えられる) でサンプリングされ、アナログ信号からデジタル信号に変換される。減算回路3で入力映像信号から1フレーム前の映像信号が減算されることにより非相関成分が減算され、理想的にはノイズ成分を

ール変換により得られたものであるから、アダマール逆変換回路10を通すことにより元の時間軸に戻され、並列デジタルノイズ信号が得られる。次に、並列-直列変換回路11では、並列デジタルノイズ信号を入力形態と同様の直列デジタル信号にする。ここで得られた信号はほぼフレーム差信号からノイズ成分だけを抽出したものとなる。そして、この信号を前述したように減算回路3に供給し、入力信号から減算することによりノイズのないデジタル信号が得られることになる。最後に、A/D変換器12でデジタル映像信号が元のアナログ信号に変換されて出力される。

この実施例はフィールドメモリを用いても可能である。またNTSCコンポジット信号に限る必要はなく、ベースバンド信号でも構成できることは明らかである。なお、この場合は色信号位相シフト回路は不用となる。

以上の構成のノイズ低減装置の非線形処理回路21について詳述する。一般にこの非線形処理回路の特性は、第2図(a)~(d)に示すように様々なものが

あげられる。原理的に考えられる非線形処理の特徴としては、原則的に正の値の入力に対しては正の出力を行い、負の入力に対しては負の出力を行うことである。これらの非線形処理に対しては、原理的に数値的なS/N改善が期待できる。しかし、本発明者の実験によると非線形特性と残像特性の視覚的評価には関連があることが判明した。ここにその結果について以下説明する。

第2図(a)に示した処理は入力成分に対して比例定数 k ($k > 0$)で比例する出力レベルを出力するものである。この非線形処理回路を用いた実験によると、レベル差の小さいエッジ部分では残像現象が起こり、エッジがぼけてしまっははっきりでないという問題があった。

第2図(b)に示した非線形処理は略サインカーブであり、ある一定レベル以上あるいはある一定レベル以下では各々0レベルを出力する。この非線形処理回路を用いた実験によると、レベル差の小さいエッジがぼけやすく、またエッジ付近にノイズのちらつきがみられるという問題があった。

のぼけがなく、またエッジ部にノイズのちらつきがないことも確かめられた。このように、原理的に効果的であると考えられるものについて、本発明者の実験より第2図(d)の非線形処理方法が視覚的に最も良い結果が得られることが確認された。

したがって、本発明は非線形処理回路として(d)の特性を最適特性として提言するものである。

第3図および第4図は本発明の第2の実施例におけるノイズ低減装置の回路図およびその要部の詳細図を示す。第3図、第4図において、第5図と同一の符号を付したものは第5図と同じであり、同一の働きをする。

第3図において、31は直・並列交換回路7と並直列変換回路11の間に設けられたアダマール変換回路群31であり、第4図に示すように、アダマール変換回路8と、このアダマール変換回路8から複数の出力が入力される非線形処理回路群32と、この非線形処理回路群32のそれぞれの出力が入力されるアダマール逆変換回路10からなっており、非線形処理回路32はアダマール変換回路7からの

第2図(c)に示した非線形処理はある一定の入力レベルでは入力レベルに対して比例定数 n ($n > 0$)で比例する出力レベルを出力し、ある以上のレベルあるいはある以下のレベルでは入力信号に対して比例定数 ($m < 0$)で比例する出力レベルを出力し、あるレベル以上あるいはあるレベル以下では各々0レベルを出力する。この非線形処理回路を用いた実験によると、第2図(b)とはほぼ同様に、レベル差の小さいエッジがぼけやすく、またエッジ付近にノイズのちらつきがみられるという問題があった。

第2図(d)に示した非線形処理はある一定の入力レベルまでは入力レベルに対して比例定数 i ($i > 0$)で比例する出力レベルを出力し、基準レベル a 以上では略一定値 A もしくは入力信号に対して c ($i > |c| > 0$)で比例する値を出力し、基準レベル b 以下では略一定値 B もしくは入力信号に対して d ($i > |d| > 0$)で比例する値を出力する。この非線形処理回路を用いた実験によると、前述までの処理回路でみられた残像現象によるエッジ

複数の出力に対して各々の非線形処理を行って、それぞれ異なった非線形処理を行う。

この非線形処理回路群32の各々の非線形処理回路は、第1の実施例で説明したように、第2図(d)の処理方法が最も有効である。この各々の非線形処理回路はそれぞれある入力レベルに対しては比例定数 i_n ($i_n > 0$)で比例する出力値を出力し、基準レベル a_n 以上では略一定値 A_n もしくは入力信号に対して c_n ($i_n > |c_n| > 0$)で比例する値を出力し、基準レベル b_n 以下では略一定値 B_n もしくは入力信号に対して d_n ($i_n > |d_n| > 0$)で比例する値を出力する非線形処理回路である。

このように構成された本実施例のノイズ低減装置について、以下その動作を説明する。入力端子1から映像信号が入力されると、A/D変換器2によりアナログ信号からディジタル信号に変換される。減算回路3で入力映像信号から1フレーム前の映像信号が減算されることにより非相関成分が減算され、理想的にはノイズ成分を含まない映像信号となる。この映像信号成分はフレームメモリ

4 にストアされ、1 フレームの間遅延される。NTSC カラー映像信号の色信号は1 フレーム毎に位相反転しているため5 はこれを色信号位相シフト回路5 で補償し、フレームメモリ4 で遅延された映像信号の色信号のみを位相反転する。減算回路6 により2 つの映像信号の差のフレーム差信号が得られる。このフレーム差信号はフレーム相関のない信号成分(つまり動き成分)とノイズ成分とが合わさった信号である。このフレーム差信号は直列-並列変換回路7 により直列デジタル信号から並列デジタル信号に変換され、アダマール変換回路8 はこのフレーム差信号を低域周波数成分、縦方向周波数成分、横方向周波数成分など複数の成分に分ける。この各々の成分はノイズ成分と動き成分であるから、各々の成分を非線形処理回路群32 を通すことにより、これらの各成分から小レベルのノイズ成分のみを取り出すことができる。

ここでアダマール変換出力の特性について詳述する。一般に映像信号は横方向の動きが多く、縦

方向の動きが少ない特徴を有している。したがって、縦方向動き成分に対しては、動き成分を少し混入させても、ノイズ成分の大部分を非線形回路出力に取り出すのがよい。ゆえに、基準レベル b_n 、 c_n を高く設定するのが望ましく、縦方向の残像劣化は少し大きくなるが出力画像には問題はなく、高S/N改善を行うことができる。逆に、横方向の動き成分に対して非線形処理回路はノイズ成分の抽出能力が落ちて動き成分の混入が少ない方が良く、したがって、基準レベル b_n 、 c_n を低く設定することが望ましく、これによりS/N改善能力は落ちるが残像現象を抑えることができる。

このように、アダマール変換された特徴成分に分解された各々の成分から各々の特徴成分に応じた異なった特性の非線形処理を行い、ノイズ成分を抽出する。そして、この各々の非線形処理回路から抽出された各成分はアダマール変換により得られたものであるから、アダマール逆変換回路10 を通すことにより元の時間軸に戻され、並列デジタルノイズ信号が得られる。次に、並列-直列変

換回路11では、並列デジタルノイズ信号を入力形態と同様の直列デジタル信号にする。ここで得られた信号はほぼフレーム差信号からノイズ成分だけを抽出したものとなる。そして、この信号を前述したように減算回路3 に供給し、入力信号から減算することによりノイズの含まないデジタル信号が得られることになる。最後に、A/D変換器12でデジタル映像信号が元のアナログ信号に変換されて出力される。

この実施例はフィールドメモリを用いても可能である。また、NTSC コンポジット信号に限る必要はなく、ベースバンド信号でも構成できることは明かである。なお、この場合は色信号位相シフト回路は不用となる。

発明の効果

以上のように本発明によれば、特徴抽出された各々の信号成分に対して行う非線形処理形の最適特性を提供することにより、残像特性の劣化が小さく、かつS/N改善効果が大きいノイズ低減装置を得ることができ、その実用効果は大きい。

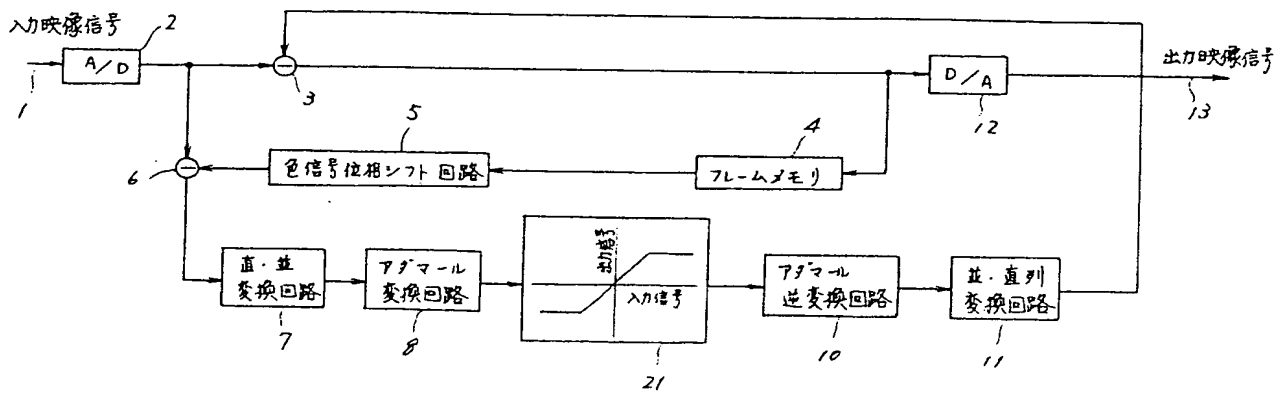
4. 図面の簡単な説明

第1図は本発明の第1の実施例のノイズ除去装置のブロック図、第2図(a)~(d)は非線形回路の特性例図、第3図は本発明の第2の実施例のノイズ除去装置のブロック図、第4図は同ノイズ除去装置におけるアダマール変換回路群の詳細を示すブロック図、第5図は従来例のノイズ低減装置のブロック図、第6図は入力信号の画素単位を示す図である。

1…信号入力端子、2…A/D変換器、3、6…減算回路、4…フレームメモリ、5…色信号位相シフト回路、7…直列-並列変換回路、8…アダマール変換回路、10…アダマール逆変換回路、11…並列-直列変換回路、12…D/A変換器、13…出力端子、21…非線形処理回路、31…アダマール変換処理回路群、32…非線形処理回路群。

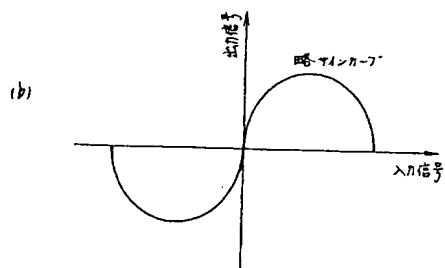
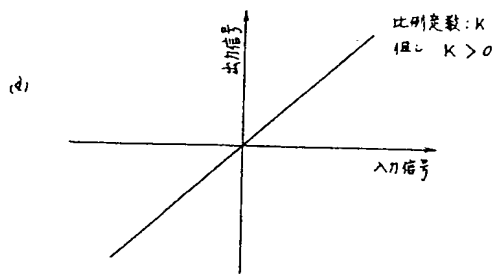
代理人 森本義弘

第1図

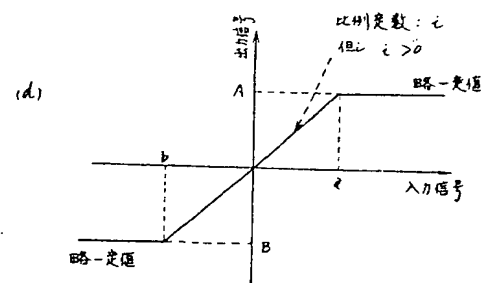
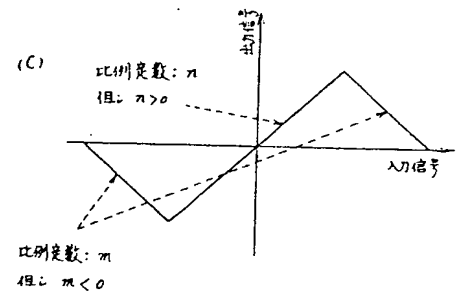


21...非線形処理回路

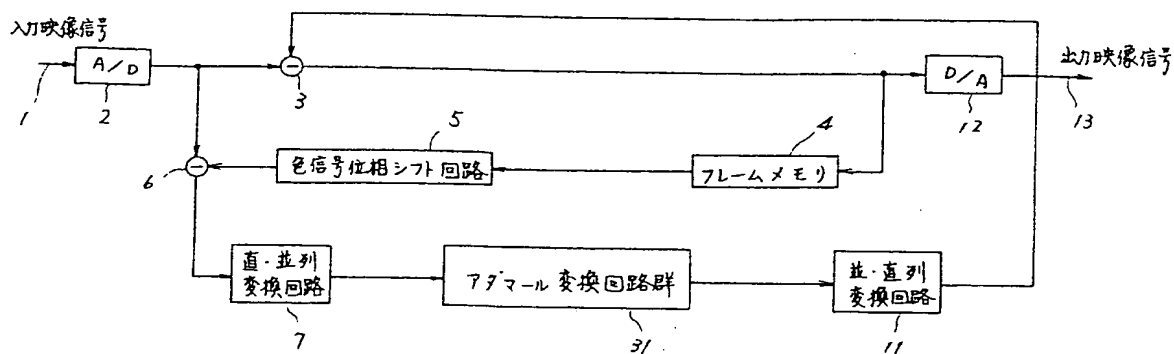
第2図 (701)



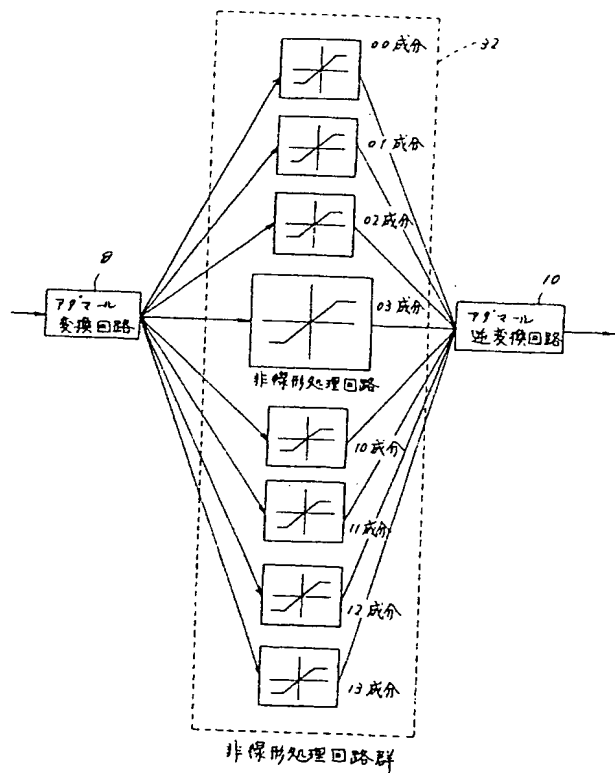
第2図 (702)



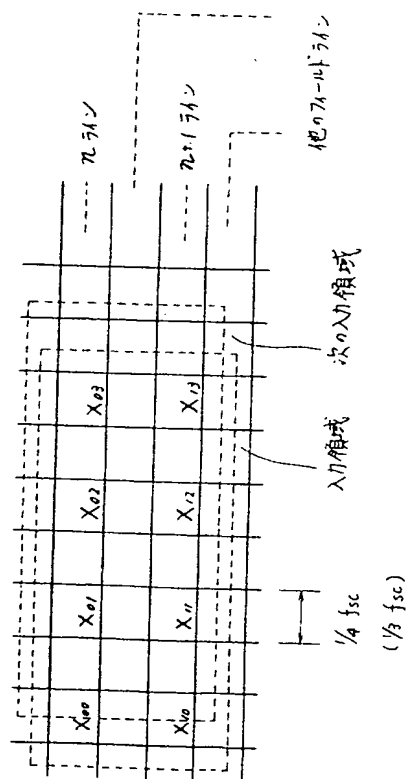
第 3 図



第 4 図



第 6 図



第5図

